



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04302174 A**(43) Date of publication of application: **26.10.92**

(51) Int. Cl. **H01L 29/788**
H01L 29/792
H01L 27/115

(21) Application number: **03091376**(71) Applicant: **RICOH CO LTD**(22) Date of filing: **28.03.91**(72) Inventor: **HASHIGAMI HIROYUKI**

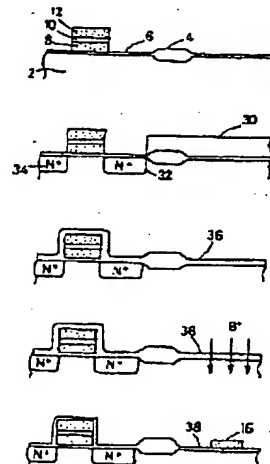
(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE
 PROVIDED WITH NON-VOLATILE MEMORY**

(57) Abstract:

PURPOSE: To restrain a peripheral gate oxide film from deteriorating and channel doping impurities from increasing in concentration dispersion in the surface and to prevent an EPROM from lessening in ON-state current and write properties due to the occurrence of bird's beaks at a stacked gate.

CONSTITUTION: A resist pattern 30 provided with an opening located at an EPROM part is formed, an exposed gate oxide film 6 is removed, and then impurities are injected into the source and the drain region of the EPROM. The source and the drain region, 32 and 34, are thermally treated in an atmosphere of dry oxygen for driving to form an oxide film 36 nearly uniform in thickness, channel doping impurities are injected into the peripheral part making the oxide film 36 serve as a through-oxide film. The through-oxide film 36 is removed, and a peripheral gate oxide film 38 is formed.

COPYRIGHT: (C)1992,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-302174

(43) 公開日 平成4年(1992)10月26日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/115				
		8225-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
審査請求 未請求 請求項の数 2 (全 6 頁)				

(21) 出願番号 特願平3-91376

(22) 出願日 平成3年(1991)3月28日

(71) 出願人 000008747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 橋上 裕幸

東京都大田区中馬込1丁目3番6号 株式会社リコー内

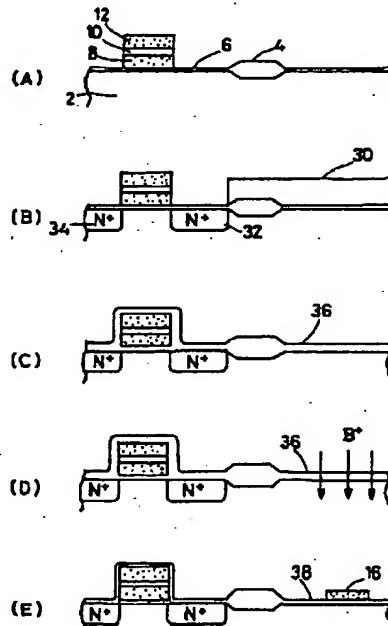
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 不揮発性メモリを含む半導体装置の製造方法

(57) 【要約】

【目的】 周辺部のゲート酸化膜の劣化やチャネルドープ不純物の面内でのばらつきを抑え、かつEPROMのスタックゲートでのパズピークの発生によるオン電流の低下や書き込み特性の劣化を防ぐ。

【構成】 EPROM部に開口を有するレジストパターン30を形成し、露出しているゲート酸化膜6を除去した後、EPROMのソース・ドレイン領域に不純物を注入する。ソース・ドレイン領域32、34のドライブ熱処理をドライ酸素雰囲気中で行ない、このときに形成されるほぼ均一な膜厚の酸化膜36をスルー酸化膜として周辺部にチャネルドープのボロン注入を行なう。スルー酸化膜36を除去し、周辺部のゲート酸化膜38を形成する。



1

【特許請求の範囲】

【請求項1】 FAMOSメモリ部と周辺MOSトランジスタ部を含む半導体装置の製造方法において、周辺MOSトランジスタ部のしきい値制御用のチャネルドープのイオン注入を行なう前に、前工程で形成したメモリ部のゲート酸化膜を周辺MOSトランジスタ部に残した状態で950℃以上のドライ酸素雰囲気中で酸化を行ない、この酸化工程で形成された酸化膜と前記ゲート酸化膜とを合わせた酸化膜を通して周辺MOSトランジスタ部のチャネルドープを行ない、チャネルドープ後は露出している酸化膜を除去し、改めて周辺トランジスタ部のゲート酸化膜を形成する工程を含む半導体装置の製造方法。

【請求項2】 三層ポリシリコンプロセスであって、FAMOSメモリ部のゲート酸化膜及びその上のFAMOS用スタックゲート電極を形成した後、写真製版によりFAMOSメモリ部に開口を有するレジストパターンを形成し、FAMOSメモリ部のソース・ドレイン領域上のゲート酸化膜を除去した後、そのFAMOSメモリ部のソース・ドレイン領域に不純物注入を行ない、その後950℃以上のドライ酸素雰囲気での酸化を行ない、周辺MOSトランジスタ部での前記ゲート酸化膜と前記ドライ酸素雰囲気での酸化による酸化膜とを通して周辺MOSトランジスタ部のチャネルドープを行なう請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はEPROMやEEPROMなどに用いられるFAMOS不揮発性メモリを含む半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 不揮発性メモリであるFAMOSメモリと周辺MOSトランジスタとを含む半導体装置を製造するプロセスには、三層ポリシリコンプロセスと二層ポリシリコンプロセスがある。

【0003】 三層ポリシリコンプロセスは図3に示されるように行なわれる。左側をEPROM部、右側を周辺部とする。

(A) 基板2にフィールド酸化膜4を形成し、ゲート酸化膜6を例えば300Å程度の厚さに形成する。その上にフローティングゲート用ポリシリコン膜を約2000Åの厚さに形成し、膜厚約400Åの層間膜10を介してコントロールゲート用のポリシリコン膜を約3500Åの厚さに形成する。その後、写真製版とエッチングによりパターン化を施してフローティングゲート8、層間膜10及びコントロールゲート12からなるスタックゲート電極を形成する。

(B) EPROMのゲート酸化膜6をスルー酸化膜として周辺部のしきい値制御用のチャネルドープのためのボロンイオンの注入を行なう。注入エネルギー30KeV程度、注入量は $10^{13}/\text{cm}^2$ 程度である。

2

(C) その後、スルー酸化膜6を除去し、周辺部のゲート酸化膜14を約200Åの厚さに形成する。

(D) その後、ポリシリコン膜16aを約3500Åの厚さに堆積し、リンガラスを堆積してポリシリコン膜16aを低抵抗化し、そのリンガラスを除去する。

(E) ポリシリコン膜16aを写真製版とエッチングによりパターン化して周辺部のゲート電極16を形成する。

【0004】 図4は二層ポリシリコンプロセスを表わしている。

(A) 基板2にフィールド酸化膜4、ゲート酸化膜6及びEPROM部のフローティングゲート8を約2000Åの厚さのポリシリコン膜のパターン化により形成する。周辺部ではゲート酸化膜6をスルー酸化膜としてチャネルドープを行なう。

(B) その後、スルー酸化膜6を除去し、周辺部のゲート酸化膜14を形成する。このとき、EPROM部ではフローティングゲート8の表面が酸化されて層間膜10が約400Åの厚さに形成される。

(C) ポリシリコン膜16aを堆積し、リンを導入して低抵抗化する。

(D) EPROM部を写真製版とエッチングによりパターン化してフローティングゲート8、層間膜10及びコントロールゲート12からなるスタックゲート電極を形成する。18はこのパターン化のためのレジストである。

(E) 周辺部を写真製版とエッチングによりパターン化してゲート電極16を形成する。20はこのパターン化のためのレジストである。

30 【0005】

【発明が解決しようとする課題】 従来の方法で周辺部のチャネルドープを行なう際、チャネルドープ用のスルー酸化膜に使われているEPROMのゲート酸化膜が形成されてからチャネルドープが行われるまでに、三層ポリシリコンプロセスではポリシリコン膜のエッチング、酸化膜のエッチング及びポリシリコン膜のエッチングの工程があり、二層ポリシリコンプロセスにおいてはポリシリコン膜の堆積、リンガラスの堆積及びポリシリコン膜のエッチングがある。そのため、ポリシリコン膜の堆積からポリシリコン膜のエッチングにいたるまでの工程の間に周辺部のチャネル領域の基板が受けたダメージは基板に残ったままで後工程の周辺部のゲート酸化のときにゲート酸化膜中に取り込まれる。それにより欠陥構造を反映したゲート酸化膜が成長することになり、ゲート酸化膜耐圧の中に5~7MV/cmのBモード不良が発生する。良質のゲート酸化膜の場合は耐圧が10MV/cm程度である。

【0006】 周辺部のスルー酸化膜に使われるEPROMのゲート酸化膜は、前工程のポリシリコン膜のドライエッチングのオーバエッチング時間においては僅かでは

3

あるがエッチングされて膜減りする。ポリシリコンエッチレート耐酸化膜選択比は通常6~9であるので、ポリシリコン膜の1/6~1/9程度が膜減りすることになる。したがって、スルー酸化膜の膜厚の面内均一性は(形成時の面内均一性)+(ポリシリコンエッチ耐酸化膜選択比の面内均一性)+(ポリシリコン層の膜厚の均一性(オーバエッチ時間の場所によるばらつき))が加算されたものとなり、極めて悪くなる。したがって、チャンネルドープ不純物の深さ方向のプロファイルがウエハ面内でばらつき、しきい値もウエハ面内でばらつくことになる。

【0007】これらの問題を解決するためには、周辺部のチャンネルドープの前に露出しているEPROMのゲート酸化膜を除去し、改めて酸化を行なって膜厚が例えば400Å程度の酸化膜を形成し、その新たな酸化膜をスルー酸化膜としてチャンネルドープを行ない、その後、そのスルー酸化膜を除去して新たに周辺部のゲート酸化膜を形成すればよい。このように、前工程でダメージを受けているチャンネル領域部を酸化することにより、欠陥を酸化膜中に取り込み、その後その酸化膜は除去して改めてゲート酸化膜を形成するので、チャンネル領域に欠陥はなくなり、またゲート酸化膜も均一で絶縁体圧の高い良質の酸化膜が得られる。新しくスルー酸化膜を均一に形成することで、注入不純物の深さ方向のプロファイルも均一に制御され、しきい値のウエハ面内でのばらつきも抑えられる。また、基板を注入のダメージから守ることができるという利点もある。

【0008】しかし、このような、所謂チャンネルドープのための犠牲酸化を行なうと、既に形成されたEPROMのフローティングゲートやコントロールゲートが酸化されるため、図5に示されるようにフローティングゲート8と基板2の間、フローティングゲート8とコントロールゲート12の間の酸化膜10に酸化膜のバズピークが食い込み、結果としてEPROMのドレイン端のゲート酸化膜又はフローティングゲート8とコントロールゲート12の間の酸化膜が厚くなり、縦方向電界が弱められて、オン電流の低下や書き込み特性の劣化を引き起こす。

【0009】本発明は周辺部のゲート酸化膜の劣化やチャンネルドープ不純物の面内でのばらつきを抑え、かつEPROMのスタックゲートでのバズピークの発生によるオン電流の低下や書き込み特性の劣化を防ぐことのできる製造方法を提供することを目的とするものである。

【0010】

【課題を解決するための手段】本発明では、周辺MOSトランジスタ部のしきい値制御のチャンネルドープのイオン注入を行なう前に、前工程で形成したメモリ部のゲート酸化膜を周辺MOSトランジスタ部に残した状態で950℃以上のドライ酸素雰囲気中で酸化を行ない、この酸化工程で形成された酸化膜と前記ゲート酸化膜とを合わ

4

せた酸化膜を通して周辺MOSトランジスタのチャンネルドープを行ない、チャンネルドープ後は露出している酸化膜を除去し、改めて周辺トランジスタ部のゲート酸化膜を形成する。

【0011】本発明を三層ポリシリコンプロセスに適用する場合は、FAMOSメモリ部のゲート酸化膜及びその上のFAMOS用スタックゲート電極を形成した後、写真製版によりFAMOSメモリ部に開口を有するレジストパターンを形成し、FAMOSメモリ部のソース・ドレイン領域上のゲート酸化膜を除去した後、そのFAMOSメモリ部のソース・ドレイン領域に不純物注入を行ない、その後に950℃以上のドライ酸素雰囲気での酸化を行ない、周辺MOSトランジスタ部での前記ゲート酸化膜と前記ドライ酸素雰囲気での酸化による酸化膜とを通して周辺MOSトランジスタ部のチャンネルドープを行なう。

【0012】

【実施例】図1は本発明を三層ポリシリコンプロセスの製造方法に適用した実施例を表わしたものである。図の左側はメモリトランジスタ部、右側は周辺部であり、周辺部には例えばCMOSが形成される。

(A) シリコン基板2にフィールド酸化膜4、膜厚が約300Åのゲート酸化膜6を形成し、その上に膜厚が約2000Åの1層目ポリシリコン膜、その上に膜厚が約400Åの層間酸化膜10、さらにその上に2層目の膜厚が約3000Åのポリシリコン膜を形成し、写真製版とエッチングによりパターン化を施してフローティングゲート8、層間膜10及びコントロールゲート12を形成する。

(B) 写真製版によりEPROM部に開口を有するレジストパターン30を形成し、EPROM部で露出しているゲート酸化膜6を除去した後、EPROMのソース・ドレイン領域に不純物を注入する。不純物は例えばN型不純物の砒素であり、注入エネルギーは約50KeVで注入量は $6 \times 10^{14} / \text{cm}^2$ 程度である。

(C) レジスト30を除去した後、ソース・ドレイン領域32、34のドライブ熱処理をドライ酸素雰囲気中で行なう。このときの条件は、例えば950℃で50分であり、雰囲気は O_2 が9000cc/分、 N_2 が18000cc/分、 HCl が500cc/分である。この熱処理によりEPROMのソース・ドレイン領域32、34が活性化されるとともに、ソース・ドレイン領域32、34上には約450Åの酸化膜36が形成され、基板上には約150Åの酸化膜が形成されて前に残っていたEPROM用のゲート酸化膜6の上にも酸化膜が形成されて合計膜厚が約450Åの酸化膜になる。これは、酸化膜の薄い部分には酸素原子が多く入り込み、厚い部分には酸素原子はなかなか入り込まないので、全体にほぼ均一な膜厚の酸化膜36となるのである。

(D) 酸化膜36をスルー酸化膜として周辺部にチャネ

5

ルドープのボロン注入を行なう。注入エネルギーは30 KeVで、注入量は $10^{12}/\text{cm}^2$ 程度である。

(E) その後、スルー酸化膜36を除去した後、周辺部に改めてゲート酸化膜38を形成し、ポリシリコン膜堆積、リンガラス堆積、リンガラス除去及びポリシリコン膜のパターン化によって周辺部のゲート電極16を形成する。

【0013】図2は二層ポリシリコンプロセスに本発明を適用した実施例を表わしている。

(A) シリコン基板2にフィールド酸化膜4、ゲート酸化膜6及びフローティングゲート8を形成する。

(B) 950℃以上の高温ドライ酸素雰囲気中で酸化することにより、古いEPROMゲート酸化膜の薄い部分を補って均一な膜質のスルー酸化膜36が形成される。

(C) この酸化膜36をスルー酸化膜として周辺部のチャネルドープを行なう。チャネルドープの条件は図1と同じである。

(D) そのスルー酸化膜36を除去した後、周辺部のゲート酸化膜38を形成し、2層目のポリシリコン膜を堆積し、リン導入により低抵抗化した後、そのポリシリコン膜のパターン化により周辺部のゲート電極16、EPROMのコントロールゲート12を形成する。

【0014】

【発明の効果】本発明の方法によればEPROMの基板とフローティングゲート間、及びフローティングゲートとコントロールゲートの間の酸化膜にパースピークを食い込ませることなく、膜厚が均一で、しかも基板表面のダメージ層を取り込んだチャネルドープ用のスルー酸化膜を形成することができるので、EPROM特性を劣化

6

させることなく、周辺部のゲート酸化膜の絶縁耐圧特性を向上させ、しきい値電圧のウエル面内ばらつきも抑えることができる。本発明をオンチップEPROMの三層ポリシリコンプロセスに適用すれば、EPROMソース・ドレインのドライプ及び不純物活性化と、周辺部のスルー酸化膜の形成が同時に行なえるので、工程を短縮することができる。

【図面の簡単な説明】

【図1】本発明を三層ポリシリコンプロセスに適用した実施例を示す工程断面図である。

【図2】本発明を二層ポリシリコンプロセスに適用した実施例を示す工程断面図である。

【図3】従来の三層ポリシリコンプロセスを示す工程断面図である。

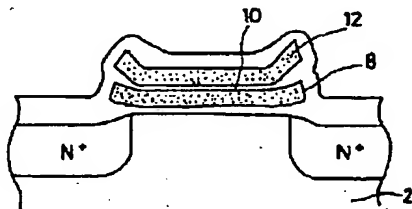
【図4】従来の二層ポリシリコンプロセスを示す工程断面図である。

【図5】犠牲酸化による問題点を示す部分断面図である。

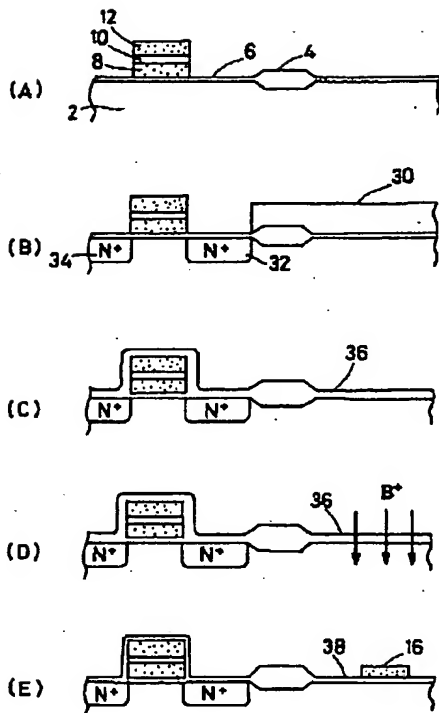
【符号の説明】

2	シリコン基板
6	ゲート酸化膜
8	フローティングゲート
10	層間酸化膜
12	コントロールゲート
16	周辺部のゲート電極
32, 34	EPROMのソース・ドレイン領域
36	スルー酸化膜
38	周辺部のゲート酸化膜

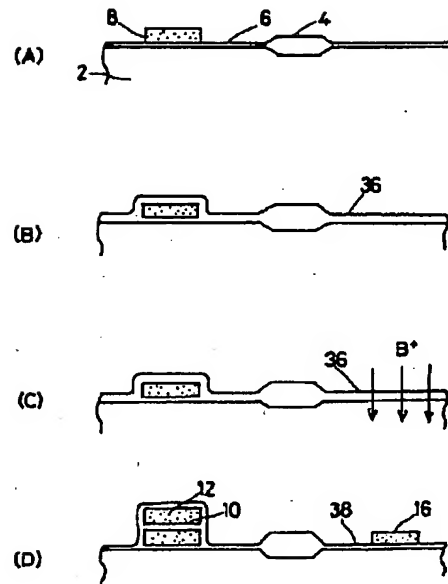
【図5】



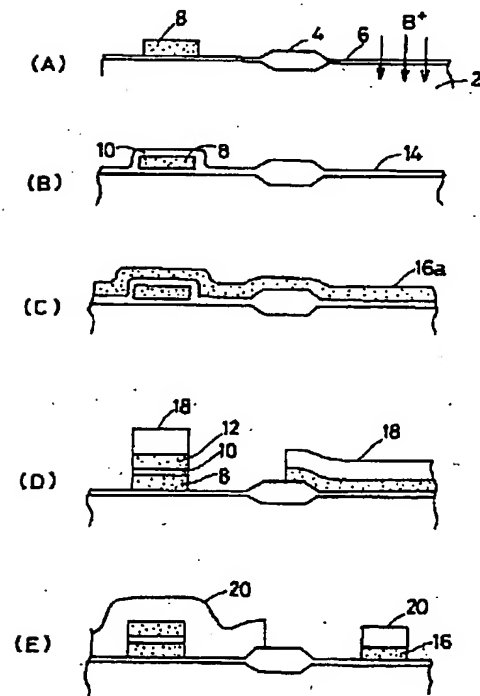
【図1】



【図2】



【図4】



【図3】

